

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



553628

(43)国際公開日
2005年6月9日 (09.06.2005)

PCT

(10)国際公開番号
WO 2005/053034 A1

(51)国際特許分類⁷:

H01L 29/78

(21)国際出願番号:

PCT/JP2004/017425

(22)国際出願日: 2004年11月24日 (24.11.2004)

(25)国際出願の言語:

日本語

(26)国際公開の言語:

日本語

(30)優先権データ:

特願2003-393320

2003年11月25日 (25.11.2003) JP

(71)出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 内田正雄 (UCHIDA, Masao). 北畠真 (KITABATAKE, Makoto). 楠本修 (KUSUMOTO, Osamu). 山下賢哉 (YAMASHITA, Kenya). 高橋邦方 (TAKAHASHI, Kunimasa). 宮永良子 (MIYANAGA, Ryoko).

(74)代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).

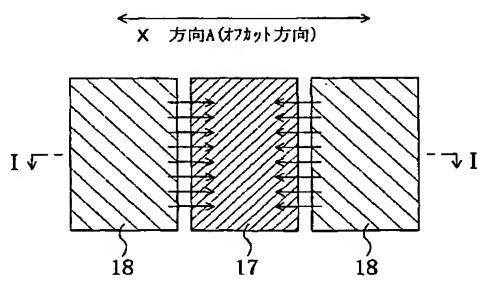
(81)指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

(続葉有)

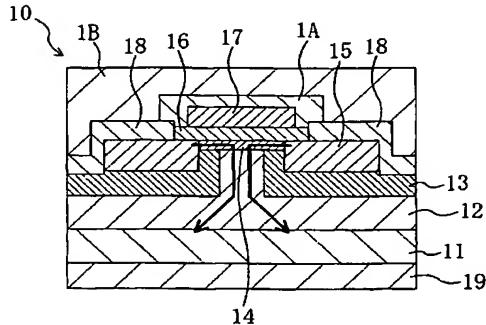
(54)Title: SEMICONDUCTOR ELEMENT

(54)発明の名称: 半導体素子

(a)



(b)



X...DIRECTION A (OFF-CUT DIRECTION)

(57)Abstract: In a semiconductor element, an n-type silicon carbide layer arranged on a silicon carbide substrate has an upper surface off-cut in the <11-20> direction from the (0001) surface. A gate electrode and a source electrode are arranged so that current flowing in the off-cut direction is dominant in the channel region. After forming a gate insulation film, thermal treatment is performed in an atmosphere containing an element of group V. By this, the interface state density is lowered at the interface between the silicon carbide layer and the gate insulation film and accordingly, the electron movement is increased in the off-cut direction A as compared to the direction vertical to the off-cut direction A.

(57)要約: 本発明の半導体素子では、炭化珪素基板の上に設けられたn型の炭化珪素層は、(0001)面から<11-20>方向にオフカットされた上面を有している。そして、チャネル領域において、オフカット方向に沿って流れる電流が支配的となるようゲート電極やソース電極が配置されている。本発明では、ゲート絶縁膜を形成した後に、V族元素を含む雰囲気下で熱処理を行う。これにより、炭化珪素層とゲート絶縁膜の界面において界面準位密度が低下するため、オフカット方向Aに垂直な方向よりもオフカット方向Aのほうが電子移動度が高くなる。



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE,
SN, TD, TG).

添付公開書類:

- 國際調査報告書
- 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

半導体素子

技術分野

[0001] 本発明は高耐圧、炭化珪素を用いた絶縁ゲート型半導体素子に関するものであり、特に、大電流のスイッチング素子を実現するMOSFETに関するものである。

背景技術

[0002] 炭化珪素(シリコンカーバイド、SiC)は、珪素(Si)に比べて高硬度でワイドバンドギャップを有する半導体であり、パワー素子や耐環境素子、高温動作素子、高周波素子等へ応用されている。

[0003] SiCを用いたスイッチング素子の代表的なものとして、例えば以下の特許文献1に開示されるようなMOSFETが知られている。図14(a), (b)は、SiCを用いた一般的な縦型蓄積型MOSFETを示す図である。なお、一般的な縦型のMOSFETにおいて、ユニットセルとは、ソース電極を中心とした電極の配置をいうのに対し、図14(a), (b)では、ゲート電極を中心とした電極の配置を示している。つまり、図14(a), (b)では、2つのユニットセルの結合部を示している。ここで、図14(a)は、MOSFETの電極の一部を上方から見た平面図であり、図14(b)は、図14(a)に示すXI-XI線における断面図である。

[0004] 図14(a), (b)に示すように、従来の縦型蓄積型MOSFETでは、 n^+ 型の4H-SiCからなる半導体基板101と、半導体基板101の上に設けられ、n型の4H-SiCからなるn型炭化珪素層102と、n型炭化珪素層102の上部のうち2つのユニットセルの結合部の両側方に位置する領域に設けられ、例えばアルミニウムが注入されたp型ウェル領域103と、n型炭化珪素層102のうち2つのp型ウェル領域103に挟まれる領域の上から、その2つのp型ウェル領域103の上に亘って延びる、例えばn型の4H-SiCからなるチャネル層104と、p型ウェル領域103の上部に、チャネル層104の外側方と接するように設けられ、例えば窒素が注入されたソース領域105と、チャネル層104の上から、ソース領域105の一部の上に亘って設けられたゲート絶縁膜106と、ゲート絶縁膜106の上に設けられたゲート電極107と、ソース領域105の上から、n型

炭化珪素層102のうちソース領域105の外側方に位置する部分の上に亘って設けられたソース電極108と、半導体基板101の下面上に設けられたドレイン電極109とを備えている。

- [0005] ソース電極108は、p型ウェル領域103と電気的に接続されるベース電極としての役割を兼ね備えた構造を有している。
- [0006] MOSFETをONの状態にするためには、ドレイン電極109にプラスの電圧を印加し、ソース電極108を接地し、ゲート電極107にプラスの電圧を印加する。これにより、MOSFETのスイッチング動作が可能となる。
- [0007] ここで、MOSFETがONの状態になると、キャリアである電子は、図14(a), (b)に示すように、まず、基板面に平行な方向に流れる。その後に、電子は、図14(b)に示すように、基板面に垂直な方向に流れる。なお、図14(a), (b)に示す矢印は、キャリアである電子の進む方向を示しており、電流はこの矢印と逆の向きに流れる。ここで注目すべきなのが、図14(a)に示す電子の進行方向である。ソース電極108やゲート電極107が、基板のオフカット方向Aと垂直な方向にキャリアが移動するように配置されている。なお、「オフカット方向」とは、結晶面から数度傾いたオフカット面がある場合に、オフカット面内の方角であって、結晶面に対する法線ベクトルからオフカット面に対する法線ベクトルに向かう方向をいう。以下に、電極の配置の理由について、図15を参照しながら説明する。図15は、炭化珪素基板の表面および断面の概略を示す斜視図である。
- [0008] 図15に示す炭化珪素基板は、(0001)面に対して所定角度だけオフカットされた基板面を有している。図15では、基板面、すなわちオフカット面を水平に示している。一般的に、炭化珪素基板を用いて素子を形成する場合には(0001)面のオフカット基板が用いられる。その理由は、(0001)面に対する所定のオフカット面をエピタキシャル成長によって形成するときには、ポリタイプ制御が容易であるからである。なお、オフカット面としては、例えば、4H-SiC(0001)に対して、<11-20>方向(ここでは112バー0という意味である。)に約8度オフカットされた面を形成する。
- [0009] ただし、オフカット面を基板面に有する基板に対して、エピタキシャル成長や不純物活性化のための熱処理などの高温の処理を適用すると、基板面にはオフカット方向

に対して垂直な方向にステップバンチングが形成されてしまうことがある。例えば、オフカット方向が<11-20>方向である場合には、ステップバンチングが、<11-20>方向に対して垂直な方向である<1-100>方向に形成される。ステップバンチングは、50~100nm程度の凹凸になり、これが原因となって電気特性の異方性が生じることがある。従来では、オフカット方向(ステップバンチングを横切る方向)と、オフカット方向に垂直な方向(ステップバンチングと平行な方向)とで、電子移動度は例えれば1桁以上異なる。

- [0010] 以上の理由から、電流量の大きい半導体装置を製造するためには、オフカット方向に対して垂直な方向に電流を流すように電極の方向を設計する必要があった。チャネル層104において、複数の方向に電流が流れる場合には、それらの方向のうち最も電流量の多い方向をオフカット方向に対して垂直な方向に合わせて設計する必要があった(例えば、特許文献1参照)。

特許文献1:特開2001-144288号公報

特許文献2:PCT/JP98/01185

発明の開示

発明が解決しようとする課題

- [0011] 上述したように、従来では、ステップバンチングが形成されることによって、ステップバンチングに平行な方向の電子移動度が大きくなり、ステップバンチングに対して垂直な方向の電子移動度が小さくなるという前提で、素子の配置が決定されていた。また、表面にステップバンチングが形成されていない場合であっても、炭化珪素内部に積層欠陥などの結晶欠陥が内在し、オフカット方向に対して平行な方向の電子移動度が、オフカット方向に対して垂直な方向の電子移動度よりも小さくなることがあった。しかしながら、電流方向の異方性が逆転する場合があり、その場合には、素子の電気特性をより低くしてしまうことがあった。

- [0012] 本発明の目的は、上述の課題を解決する手段を講ずることにより、より電気特性が優れた炭化珪素半導体素子を提供することにある。

課題を解決するための手段

- [0013] 本発明の第1の半導体素子は、半導体基板と、上記半導体基板の上に設けられ、

結晶面から10度以下の角度だけオフカット方向に傾いた上面を有する炭化珪素層と、上記炭化珪素層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極と、上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたソース電極と、上記半導体基板の下方に設けられたドレイン電極と、上記炭化珪素層のうち少なくとも上記ソース電極の下に位置する領域に設けられたソース領域とを備え、平面視して、上記ソース領域のうち最も長い辺は、上記オフカット方向に垂直な方向に沿っている。

- [0014] このように、オフカット方向に沿った方向に電流が流れるようにソース領域を配置することにより、より電気特性を向上させることができる。また、電流方向の異方性が逆転するおそれもなくなる。これらは、以下の理由による。従来では、高温の熱処理の際に炭化珪素層のオフカット方向に垂直な方向にステップバンチングが形成され、ステップバンチングに平行な方向の電子移動度が大きかった。これに対し、本発明の半導体素子はV族元素を含む化合物を用いて熱処理を行う工程を経て形成されるので、炭化珪素層の上面にステップバンチングが形成されても、チャネル層が形成されるゲート絶縁膜と炭化珪素層の界面において、界面準位密度が低減され、オフカット方向に沿った方向の電子移動度が向上する。これにより、オフカット方向に沿った方向の電子移動度が、オフカット方向に垂直な方向の電子移動度よりも高くなりやすい。
- [0015] 上記炭化珪素層のうち上記ソース領域の側方および下方に設けられた第2導電型のウェル領域と、上記ウェル領域と電気的に接続されるベース電極とをさらに備えていてもよい。
- [0016] 上記オフカット方向に垂直な方向に沿った方向とは、上記オフカット方向に垂直な方向からの傾きが5度以内の方向であることにより、高い電子移動度を得ることができる。
- [0017] 上記炭化珪素層のうち上記ゲート絶縁膜の下に位置する領域にチャネル層が設けられていてもよい。
- [0018] 上記チャネル領域には、少なくとも1層の第1炭化珪素層と、第1炭化珪素層よりも第1導電型の不純物濃度が高くかつ第1炭化珪素層の膜厚よりも薄い、少なくとも1

層の第2炭化珪素層とを有する積層構造が設けられていてもよい。この場合には、さらに高い電子移動度を得ることができる。

- [0019] 上記炭化珪素層において、結晶面の面内方向における電子移動度よりも、上記結晶面に対する垂直方向における電子移動度の方が大きい場合に、本発明は有効である。
- [0020] 上記炭化珪素層は、4H-SiCであってもよい。
- [0021] 上記炭化珪素層の上面は、(0001)面から<11-20>方向に傾いた面であってもよい。
- [0022] 上記炭化珪素層の上面は、(0001)面から<1-100>方向に傾いた面であってもよい。
- [0023] 上記ゲート絶縁膜が、上記炭化珪素層の上部を熱酸化した後に、V族元素を含む化合物を含む雰囲気で熱処理することにより形成された場合には、上記界面準位密度を低下させることができ、その結果、オフカット方向における電子移動度が高くなる。
- [0024] 上記V族元素を含む化合物が、酸化窒素(N_xO_y ($x, y = 1, 2, \dots$))である場合には、高い効果を得ることができる。
- [0025] 上記炭化珪素層と上記ゲート絶縁膜との界面において、上記チャネル層と上記ゲート絶縁膜との界面において、窒素濃度の最大値が $1 \times 10^{20} \text{ cm}^{-3}$ 以上で $1 \times 10^{22} \text{ cm}^{-3}$ 以下であることが好ましい。この場合には、各バンド端付近のポテンシャル範囲において界面密度を十分低くすることができるため、炭化珪素層の上面部とゲート酸化膜との間にステップバンチングが発生していくても発生していなくても良好な界面が形成される。
- [0026] ここで、上記ゲート絶縁膜が、上記炭化珪素層の上部をV族元素を含む化合物を含む雰囲気で熱酸化することにより形成された場合であっても、ゲート絶縁膜と炭化珪素層の界面は良好なものが得られ、特に上記の酸化窒素を含む雰囲気で熱酸化して形成されたゲート絶縁膜も本発明に対して有効に働く。
- [0027] 上記炭化珪素層が第1導電型の不純物を含み、上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたソース電極と、上記半導体基板の下方に設けられた

ドレイン電極と、上記炭化珪素層のうち少なくとも上記ソース電極の下に位置する領域に設けられ、上記チャネル層に接する第1導電型のソース領域と、上記炭化珪素層のうち上記ソース領域の側方および下方を囲む第2導電型のウェル領域と、上記ウェル領域と電気的に接続されるベース電極とをさらに備える場合には、縦型のMOSFETにおいて、高い電子移動度を得ることができる。

- [0028] 上記ソース電極は、上記ベース電極と同一の膜で設けられていてもよい。
- [0029] 上記ゲート電極は、平面視して多角形がくり抜かれた形状で設けられている場合があり、この場合には、上記多角形におけるくり抜かれた部分の辺のうち最も長い辺は、上記オフカット方向に垂直な方向に沿っていることが好ましい。
- [0030] この場合には、平面視して、上記ソース電極は多角形の形状で配置し、上記ゲート電極は上記ソース電極と離間して、かつ上記ソース電極の側方を囲む形状で配置してもよい。
- [0031] また、上記ゲート電極が、平面視して多角形の形状で設けられている場合もあり、この場合には、上記多角形の辺のうち最も長い辺は、上記オフカット方向に垂直な方向に沿っていることが好ましい。
- [0032] この場合には、平面視して、上記ソース電極は、ストライプ状に並ぶ複数の第1矩形部と、上記複数の第1矩形部の端部を接続する第1接続部とを有する櫛形に配置し、上記ゲート電極は、上記複数の第1矩形部のそれぞれと交互に配置するストライプ状の複数の第2矩形部と、上記第2矩形部の端部を接続する第2接続部とを有する櫛形に配置していくてもよい。
- [0033] なお、本明細書中において、「多角形」や「櫛形」といった形には、角部が丸まっているものや、辺が曲線であるものを含むものとする。また、ソース領域が例えば橢円形である場合において、「ソース領域のうち最も長い辺は、上記オフカット方向に垂直な方向である」とは、橢円形の長軸がオフカット方向に垂直な方向に伸びていることをいうものとする。
- [0034] 本発明の第2の半導体素子は、半導体基板と、上記半導体基板の上に設けられ、結晶面から10度以下の角度だけオフカット方向に傾いた上面を有する炭化珪素層と、上記炭化珪素層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設け

られたゲート電極と、上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたソース電極と、上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたドレン電極と、上記炭化珪素層のうち少なくとも上記ソース電極および上記ドレン電極の下に位置する領域に互いに離間して設けられたソース・ドレン領域とを備え、平面視して、上記ソース・ドレン領域の辺のうち互いに対向する辺は、上記オフカット方向に垂直な方向に沿っている。

- [0035] このように、オフカット方向に沿った方向に電流が流れるようにソース・ドレン領域を配置することにより、より電気特性を向上させることができる。これらは、以下の理由による。従来では、高温の熱処理の際に炭化珪素層のオフカット方向に垂直な方向にステップバンチングが形成され、ステップバンチングに平行な方向の電子移動度が大きかった。これに対し、本発明の半導体素子はV族元素を含む化合物を用いて熱処理を行う工程を経て形成されるので、炭化珪素層の上面にステップバンチングが形成されていても、チャネル層が形成されるゲート絶縁膜と炭化珪素層の界面において、界面準位密度が低減され、オフカット方向に沿った方向の電子移動度が向上する。これにより、オフカット方向に沿った方向の電子移動度が、オフカット方向に垂直な方向の電子移動度よりも高くなりやすい。
- [0036] 上記炭化珪素層内に設けられ、第1導電型の不純物を含むベース領域と、上記ベース領域と電気的に接続されるベース電極とをさらに備えていてもよい。
- [0037] 上記ゲート電極は多角形の形状で設けられている場合もあり、この場合には、上記多角形の辺のうち最も長い辺は、上記オフカット方向に垂直な方向に沿っていることが好ましい。
- [0038] 上記オフカット方向に垂直な方向に沿った方向とは、上記オフカット方向に垂直な方向からの傾きが5度以内の方向であることにより、高い電子移動度を得ることができる。
- [0039] 上記炭化珪素層のうち上記ゲート絶縁膜の下に位置する領域にチャネル層が設けられていてもよい。
- [0040] 上記チャネル領域には、少なくとも1層の第1炭化珪素層と、第1炭化珪素層よりも第1導電型の不純物濃度が高くかつ第1炭化珪素層の膜厚よりも薄い、少なくとも1

層の第2炭化珪素層とを有する積層構造が設けられていてもよい。この場合には、さらに高い電子移動度を得ることができる。

- [0041] 上記炭化珪素層において、結晶面の面内方向における電子移動度よりも、上記結晶面に対する垂直方向における電子移動度の方が大きい場合に、本発明は有効である。
- [0042] 上記炭化珪素層は、4H-SiCであってもよい。
- [0043] 上記炭化珪素層の上面は、(0001)面から<11-20>方向に傾いた面であってもよい。
- [0044] 上記炭化珪素層の上面は、(0001)面から<1-100>方向に傾いた面であってもよい。
- [0045] 上記ゲート絶縁膜が、上記炭化珪素層の上部を熱酸化した後に、V族元素を含む化合物を含む雰囲気で熱処理することにより形成された場合には、上記界面準位密度を低下させることができ、その結果、オフカット方向における電子移動度が高くなる。
- [0046] 上記V族元素を含む化合物が、酸化窒素(N_xO_y ($x, y=1, 2, \dots$))である場合には、高い効果を得ることができる。
- [0047] 上記炭化珪素層と上記ゲート絶縁膜との界面において、窒素濃度の最大値が $1 \times 10^{20} \text{ cm}^{-3}$ 以上で $1 \times 10^{22} \text{ cm}^{-3}$ 以下であることが好ましい。この場合には、各バンド端付近のポテンシャル範囲において界面密度を十分低くすることができるため、炭化珪素層の上面部とゲート酸化膜との間にステップバンチングが発生していくても発生しないなくても良好な界面が形成される。
- [0048] 上記ソース電極は、上記ベース電極と同一の膜で設けられていてもよい。

発明の効果

- [0049] 本発明の半導体素子では、ステップバンチングやその他の良好でない界面状態によって低下した炭化珪素層の電子移動度が改善された場合に、従来の構造に比べて優れた電気特性を得ることができる。

図面の簡単な説明

- [0050] [図1]図1(a), (b)は、第1の実施形態において、炭化珪素層を用いた一般的な縦型

蓄積型MOSFETの2つのユニットセルの結合部を示す断面図である。

[図2]図2(a)～(c)は、SiC-酸化物積層体を形成する手順を示す断面図である。

[図3]図3は、本実施形態の製造方法によって形成されたV族元素含有酸化物層22の厚さ方向における窒素濃度プロファイルをSIMSにより実測した結果を示すグラフ図である。

[図4]図4(a), (b)は、図3に示すデータに基づいて、High-Low法で計算した界面準位密度を示す図である。

[図5]図5は、図1に示す半導体装置において、キャリアの移動する方向と素子の配置との関係を示す平面図である。

[図6]図6(a)は、(0001)面を上面とする炭化珪素基板において、電子の移動する向きと大きさをベクトルにして示す図であり、図6(b)は、(0001)面に対して角度 θ だけ傾いた面を上面とする炭化珪素基板において、電子の移動する向きと大きさをベクトルにして示す図である。

[図7]図7(a), (b)は、ゲート電極およびソース電極が櫛形の形状で配置される場合の構造を示す図である。

[図8]図8(a), (b)は、四角形のユニットセルが配置される場合の構造を示す図である。

[図9]図9(a), (b)は、六角形のユニットセルが配置される場合の構造を示す図である。

[図10]図10は、縦型反転型MOSFETの構造を示す断面図である。

[図11]図11(a), (b)は、第2の実施形態において、炭化珪素層を用いた一般的な横型蓄積型MOSFETを示す断面図である。

[図12]図12は、図11(b)に示す半導体装置において、キャリアの移動する方向と素子の配置との関係を示す平面図である。

[図13]図13は、横型反転型MOSFETの構造を示す断面図である。

[図14]図14(a), (b)は、SiCを用いた一般的な縦型蓄積型MOSFETの2つのユニットセルの結合部を示す図である。

[図15]図15は、炭化珪素基板の表面および断面の概略を示す斜視図である。

符号の説明

- [0051]
- 1A 層間絶縁膜
 - 1B 上部配線電極
 - 7C ベース電極
 - 10 縦型蓄積型MOSFET
 - 11 半導体基板
 - 12 n型炭化珪素層
 - 13 p型ウェル領域
 - 14 チャネル層
 - 15 n型ソース領域
 - 16 ゲート絶縁膜
 - 17 ゲート電極
 - 18 ソース電極
 - 19 ドレイン電極
 - 20 SiC基板
 - 21 酸化物層
 - 30 チャンバ
 - 31 真空ポンプ
 - 60 縦型反転型MOSFET
 - 70 横型蓄積型MOSFET
 - 71 半導体基板
 - 72 p型炭化珪素層
 - 74 チャネル層
 - 75d ドレイン領域
 - 75s ソース領域
 - 76 ゲート絶縁膜
 - 77 ゲート電極
 - 78 ソース電極

- 79 ドレイン電極
90 横型反転型MOSFET
101 半導体基板
102 n型炭化珪素層
103 p型ウェル領域
104 チャネル層
105 ソース領域
106 ゲート絶縁膜
107 ゲート電極
108 ソース電極
109 ドレイン電極

発明を実施するための最良の形態

[0052] 以下に、本発明の実施の形態について図面を参照しながら説明する。

[0053] (第1の実施形態)

図1(a), (b)は、第1の実施形態において、炭化珪素層を用いた一般的な縦型蓄積型MOSFETの2つのユニットセルの結合部を示す断面図である。ここで、図1(a)は、MOSFETの電極の一部を上方から見た平面図であり、図1(b)は、図1(a)のI—I線における断面図である。

[0054] 図1(a), (b)に示すように、本実施形態の半導体装置は、 n^+ 型の4H—SiC(0001)の半導体基板11を有している。半導体基板11は、<11—20>方向に約8度オフカットした表面を有しており、その抵抗率は約 $0.02\Omega\text{cm}^2$ である。半導体基板11の上面には、4H—SiC(0001)のn型炭化珪素層12が設けられている。その厚さは約 $15\mu\text{m}$ であり、濃度 $3\times 10^{15}\text{cm}^{-3}$ の窒素がドープされている。n型炭化珪素層12は、半導体基板11の上面にエピタキシャル成長により形成されたものであり、n型炭化珪素層12の上面も、半導体基板11の影響を受けて<11—20>方向にオフ角を有している。

[0055] n型炭化珪素層12の上部のうち2つのユニットセルの結合部の両側方に位置する領域には、p型のウェル領域13が設けられている。p型ウェル領域13は、例えばアルミニウムが約 $2\times 10^{18}\text{cm}^{-3}$ の濃度で $0.8\mu\text{m}$ 程度の深さだけ注入した後に、約1700

度の高温でアニールすることにより形成する。

- [0056] n型炭化珪素層12のうち2つのp型ウェル領域に挟まれる領域の上から、その2つのp型ウェル領域の上に延びるように、n型4H-SiCからなるチャネル層14が形成されている。ここでは、チャネル層14は、アンドープ層と約 $5 \times 10^{17} \text{ cm}^{-3}$ のn型不純物を含むドープ層とを交互に積層したデルタドープ層である。チャネル層14の厚さは約0.2 μmとなる。
- [0057] p型ウェル領域13の上部にはソース領域15が形成されている。ソース領域15は、チャネル層14の外側方と接するように設けられている。ソース領域15は、例えば、窒素が約 $1 \times 10^{19} \text{ cm}^{-3}$ の濃度で0.3 μm程度の深さだけ注入した後に、約1700度の高温でアニールすることにより形成する。
- [0058] 基本的には、ソース領域15は、p型ウェル領域の一部にn型不純物を注入することにより形成され、MOSFET10は、いわゆる二重注入型のMOSFET(DIMOSFET)である。また、図1においては、ソース領域はチャネル層を挟んだ構成となっており、p型ウェル領域を形成した上からチャネル層を堆積し、さらにチャネル層の上からn型不純物注入を行うことでソース領域を形成するが、例えばp型ウェル領域とソース領域を形成した後にチャネル層を形成したような半導体素子であっても構わない。
- [0059] チャネル層14の上からソース領域15の一部の上には、厚さ約60nmのゲート絶縁膜16が設けられている。ゲート絶縁膜16は、ソース領域15およびチャネル層14の上部を熱酸化した後、V族元素を含む雰囲気下で熱処理することにより形成される。この熱処理の方法については後述する。
- [0060] ゲート絶縁膜16の上には、アルミニウムからなるゲート電極17が設けられている。
- [0061] ソース領域15の上から、n型炭化珪素層12のうちソース領域15の外側方に位置する部分の上に亘って、ニッケルからなるソース電極18が設けられている。ソース電極18は、ニッケル膜を形成した後に約1000度の温度で熱処理することにより形成する。この熱処理により、ソース電極18とソース領域15とはオーム接触となる。ソース電極18は、p型ウェル領域13に電気的に接続されるベース電極としての役割を兼ね備えた構造を有している。ここで、ソース電極18とp型ウェル領域13との間の電気抵抗を低減するために、p型ウェル領域13のうち界面に位置する部分に、他の領域よりも高い

濃度のアルミニウムをイオン注入してp⁺形のイオン注入領域を形成していてよい。

- [0062] 半導体基板11の裏面上には、ニッケルからなるドレイン電極19が設けられている。ドレイン電極19は、ニッケル膜を形成した後に約1000度の温度で熱処理することにより形成する。この熱処理により、ドレイン電極19と半導体基板11とはオーム接觸となる。
- [0063] ゲート電極17の上は層間絶縁膜1Aに覆われており、層間絶縁膜1Aおよびソース電極18の上は、上部配線電極1Bに覆われている。
- [0064] 本実施形態のMOSFET10をONの状態にするためには、ドレイン電極19にプラスの電圧を印加し、ソース電極18を接地し、ゲート電極17にプラスの電圧を印加する。これにより、MOSFET10のスイッチング動作が可能となる。
- [0065] MOSFET10がONの状態になると、キャリアである電子は、図1(a), (b)に示すように、まず、基板面に平行な方向に流れる。ここで、本実施形態では、オフカット方向Aに対して平行な方向に電子が流れる点が従来と異なる。その後に、電子は、図1(b)に示すように、基板面に垂直な方向に流れる。なお、図1(a), (b)に示す矢印は、キャリアである電子の進む方向を示しており、電流は、この矢印と逆の向きに流れる。
- [0066] ここで、ゲート絶縁膜16を形成した後に熱処理を行う方法について、図面を参照しながら詳細に説明する。なお、この方法は、本出願人による先願2003-350244および特願2004-271321に記載された発明であり、本明細書では、上記出願の内容を援用することとする。
- [0067] 図2(a)～(c)は、SiC—酸化物積層体を形成する手順を示す断面図である。本実施形態においては、V族元素として窒素を用いるが、リン(P), 硒素(As)等の他のV族元素を用いてよい。
- [0068] まず、図2(a)に示す工程で、4H-SiC(0001)基板であるSiC基板20を準備する。SiC基板20の上部(同図に示す破線よりも上方の部分)は、エピタキシャル成長により形成された4H-SiC(0001)層である。そして、SiC基板20(エピタキシャル成長されたSiC層)の主面は、MCP(メカノケミカル研磨)によって、凹凸(最大表面粗さR_{max})が10nm以下になるように平滑化される。ただし、この平滑化処理は必ずしも必要ではない。

- [0069] 次に、図2(b)に示す工程で、SiC基板20をチャンバ30内に設置して、酸化性雰囲気下でSiC基板20を加熱することにより、SiC基板20上に、平均厚さ約60nmの酸化物層21(主として SiO_2 を含む層)を形成する。この場合、酸化温度は1000°C以上であり、好ましくは1050°C～1300°Cである。酸化性雰囲気を生じさせるためには、チャンバ30内に、酸素、水蒸気のうち少なくともいずれか1つを含むガスを流せばよい。その後、不活性ガス(Ar , N_2 , He , Ne 等)雰囲気中で、1000°C以上の温度(例えば、1000°C～1150°C)でアニールする。このアニール処理によって、酸化物層21が前もって緻密化される。
- [0070] 次に、図2(c)に示す工程で、SiC基板20を、除害装置(図示せず)及び減圧装置である真空ポンプ31が付設されたチャンバ30内に移動させて、チャンバ30内を真空ポンプ31によって約150Torr($2.0 \times 10^4 \text{ Pa}$)に減圧しつつ、チャンバ30内に流量500(ml/min)のNOガス(又は、リン(P)などの窒素以外のV族元素含有ガス)を流し、チャンバ30内を窒素(N)(又は窒素以外のV族元素)が酸化物層11中に拡散するのに十分に高い温度(約1150°C)に加熱する。このとき、減圧下で、酸化物層21を窒素などのV族元素を含むガスに暴露することにより、酸化物層21内に窒素などのV族元素が拡散し、比誘電率が大きく、より緻密なV族元素含有酸化物層22が形成される。暴露は、緻密なV族元素含有酸化物層22を形成するのに充分な、そして、V族元素含有酸化物層22の特性が改良となるのに充分な時間(例えば1Hr)行なう。以上の工程により、熱処理が終了する。
- [0071] 図3は、本実施形態の製造方法によって形成されたV族元素含有酸化物層22の厚さ方向における窒素濃度プロファイルをSIMSにより実測した結果を示すグラフ図である。なお、図3では、窒素濃度のピーク部(SiO_2 —SiC界面付近の領域)の濃度分布を抜き出して示している。同図に示すデータは、 SiO_2 —SiC界面での窒素を CsN^{147} で定量して得られたものである。同図に示すように、このピーク部の半値幅は3nmであり、非常に狭い領域に窒素が集中的に高濃度で導入されていることがわかる。
- [0072] 図4(a), (b)は、図3に示すデータに基づいて、High-Low法で計算した界面準位密度を示す図である。図4(a), (b)において、横軸は価電子帯 E_v とのポテンシャル差($E-E_v(\text{eV})$)を表し、縦軸は界面準位密度 $Dit(\text{cm}^{-2}\text{eV}^{-1})$ を表している。MOSF

ETにおけるキャリアが電子である場合には、トラップとして作用する界面準位は伝導帯端付近のポテンシャル範囲($E-E_v=2.95\text{eV}\sim3.05\text{eV}$)の界面準位であり、キャリアがホールである場合には、ホールトラップとして作用する界面準位は価電子帯端付近のポテンシャル範囲($E-E_v=0.3\text{eV}\sim0.4\text{eV}$)の界面準位であるが、図4(a), (b)に示すように、本実施形態においては、各バンド端付近のポテンシャル範囲において $1\times10^{12}\text{cm}^{-2}\cdot\text{eV}^{-1}$ 以下の界面準位密度が得られている。また、V族元素含有酸化物層22全体における窒素の平均濃度は、 $8.3\times10^{19}\text{cm}^{-3}$ である。

[0073] このように、V族元素含有酸化物層22に窒素等のV族元素を含めることにより、キャリアのトラップとなる界面準位密度を低減させることができ、キャリア移動度の向上を図ることができる。

[0074] 特に、V族元素含有酸化物層22の下部における窒素濃度の最大値が、 $1\times10^{20}\text{cm}^{-3}$ 以上で $1\times10^{22}\text{cm}^{-3}$ 以下であることにより、比誘電率の向上作用と、界面準位密度の低減作用とが顕著に得られる。

[0075] 次に、本実施形態の半導体素子の配置について、従来と比較しながら説明する。

[0076] 従来では、図14に示すように、基板の上面にはステップバンチングが形成されている。このステップバンチングは、層内にイオン注入された不純物を活性化するための高温熱処理の影響で生じた。ステップバンチングは、オフカット方向に対して垂直な方向に形成されるため、従来では、オフカット方向に垂直な方向により多くのキャリアが流れるように電極等の配置を決定していた。

[0077] それに対し、本実施形態では、オフカット方向にほぼ平行により多くのキャリアが流れるように素子を配置している。図5は、図1に示す半導体装置において、キャリアの移動する方向と素子の配置との関係を示す平面図である。図5では、ゲート電極17およびソース電極18等の図示を省略し、n型炭化珪素層12、p型ウェル領域13およびn型ソース領域15のみを示している。チャネル層14の図示は省略しているが、チャネル層14は、p型ウェル領域13のうち斜線を付して示す領域の上に位置している。図5に示すように、縦型のMOSFETでは、キャリアが、ソース領域15からn型炭化珪素層12の方に向かって流れる。この方向がオフカット方向Aとほぼ平行になるように素子を配置する。

[0078] —オフカット方向において電子移動度が大きくなる原理—

従来の半導体素子は、オフカット方向に平行な方向よりも垂直な方向の方が電子移動度が大きいという異方性を有していた。それに対し、本実施形態の半導体装置ではこの異方性が逆転している。これは、本実施形態では、窒素と酸素とを含むガスを用いた熱処理を行うことにより、炭化珪素層とゲート絶縁膜の界面における界面準位密度が低下し、オフカット方向に沿った方向の電子移動度が向上する。以下に、炭化珪素基板の電子移動度が、オフカット方向において大きいという理由について考察する。

[0079] 図6(a)は、(0001)面を上面とする炭化珪素基板において、電子の移動する向きと大きさをベクトルにして示す図である。図6(a)では、(0001)面(指定された結晶面S)および紙面に平行なベクトルをaベクトル、(0001)面に平行であって紙面に垂直なベクトルをbベクトル、(0001)面に垂直なベクトルをcベクトルとしている。

[0080] ここで、(0001)面を上面とする炭化珪素層においては、電子移動度は、基板面内方向よりも基板面に対して垂直な方向で大きくなる。つまり、図6(a)に示すcベクトルの方が、ベクトルaおよびベクトルbよりも大きい。また、aベクトルとbベクトルとは同じ大きさとなる。

[0081] 次に、炭化珪素基板がオフカット基板の場合を考える。図6(b)は、(0001)面に対して角度 θ だけ傾いた面を上面とする炭化珪素基板において、電子の移動する向きと大きさをベクトルにして示す図である。

[0082] 図6(b)では、aベクトルおよびcベクトルを、オフカット方向とオフカット方向に垂直な方向とに分解して、それぞれ、a₁, a₂, c₁, c₂ベクトルとして示す。このとき、オフカット方向の電子移動度を表すベクトルをdベクトルとすると、dベクトルは、a₁ベクトルとc₁ベクトルとの和で表される。

[0083] ここで、cベクトルはaベクトルよりも大きいので、dベクトルはaベクトルより大きくなる。それに対し、bベクトルはオフカット方向に対して垂直であるため、炭化珪素層の上面が(0001)面であっても、オフカット面であっても、その方向の電子移動度の大きさは変化しない。aベクトルとbベクトルとは同じ大きさであるから、dベクトルとbベクトルの大きさを比べると、明らかにdベクトルの方が大きくなる。

- [0084] 以上のことから、オフカット基板において、オフカット方向の電子移動度(ベクトルd)は、オフカット方向に垂直な方向の電子移動度(ベクトルb)よりも大きくなる。
- [0085] もちろん、オフカット基板面内において、bベクトルとdベクトル以外の方向のベクトルを考慮しても、オフカット基板面内ではオフカット方向の電子移動度が一番大きくなることは明白である。
- [0086] 以上のベクトルの効果、および、窒素と酸素とを含むガスを用いた熱処理を行うことによる炭化珪素層／ゲート絶縁膜界面の界面準位密度低下効果の相乗効果により、オフカット方向に沿った方向の電子移動度が向上する。
- [0087] 一電極の配置例—

図1に示す2つのユニットセルの結合部では、オフカット方向Aに平行な方向にのみ電流を流す例を示した。しかし実際には、縦型の半導体素子では複数の方向に電流を流す場合が多い。この場合には、複数の方向の中で最も電流量の多い方向がオフカット方向と平行になるように素子を配置する。以下に、その構造について説明する。

- [0088] (第1の配置例)
- 縦型のMOSFETにおいては、ソース電極18およびゲート電極17がストライプ状(または櫛形)に配置されている場合がある。そのような場合について、図7(a), (b)を参照しながら説明する。
- [0089] 図7(a), (b)は、ゲート電極およびソース電極が櫛形の形状で配置される場合の構造を示す図である。図7(a)はゲート電極17およびソース電極18の配置を示し、図7(b)は、n型炭化珪素層12、p型ウェル領域13およびn型ソース領域15の配置を示している。図7(a)に示すように、ソース電極17では、複数の矩形部がストライプ状に配置し、矩形部のうちの一端は、矩形部の伸びる方向とは垂直な方向に伸びる接続部に接することにより互いに電気的に接続されている。また、ゲート電極17においても、複数の矩形部が、ソース電極17における矩形部と交互にストライプ状に配置し、矩形部のうちの一端は、矩形部の伸びる方向とは垂直な方向に伸びる接続部に接することにより互いに電気的に接続されている。チャネル領域は、図7(b)の斜線で示す領域に配置している。この場合には、キャリアの移動する方向は方向Aと方向Bとの2通りある。そして、チャネル領域は、主に方向Aに対して垂直な方向に延びている。

つまり、チャネル領域において、方向Aに沿う電流を流すチャネル領域の幅W1が、その他の方向のチャネル領域の幅W2以上となるように素子を構成する。また、n型ソース領域15の最も長い辺も、オフカット方向Aに垂直な方向に配置している。

[0090] (第2の配置例)

縦型のMOSFETは、多角形のユニットセルごとに配置され、各ユニットセルでは、ソース電極の側方がゲート電極によって囲まれている場合がある。そのような場合について、図8(a), (b)を参照しながら説明する。

[0091] 図8(a), (b)は、四角形のユニットセルが配置される場合の構造を示す図である。図8(a)はゲート電極17およびソース電極18の配置を示し、図8(b)は、n型炭化珪素層12、p型ウェル領域13およびn型ソース領域15の配置を示している。チャネル領域は、図8(b)の斜線で示す領域に配置している。

[0092] この場合には、キャリアの移動する方向は、主に方向Aと方向Bとの2通りある。そして、ユニットセルの長手方向を方向Aに対して垂直に配置すると、方向Aに対して垂直な方向に延びるチャネル領域の方が平行な方向にのびるチャネル領域よりも長くなる。つまり、図8(b)に示すように、チャネル領域において、方向Aに沿う電流を流すチャネル領域の幅W1が、その他の方向のチャネル領域の幅W2以上となるように素子を構成する。また、n型ソース領域15の最も長い辺も、オフカット方向Aに垂直な方向に配置している。

[0093] なお、ここではユニットセルが長方形の場合について説明したが、ユニットセルが平行四辺形や菱形など他の多角形であっても構わない。図9(a), (b)は、六角形のユニットセルが配置される場合の構造を示す図である。図9(a)は、ゲート電極17およびソース電極18の配置を示し、図9(b)は、n型炭化珪素層12、p型ウェル領域13およびn型ソース領域15の配置を示している。チャネル領域は、図9(b)の斜線で示す領域に配置している。

[0094] この場合には、キャリアの移動する方向は、主に方向A、方向Cおよび方向Dの3通りある。そして、六角形のユニットセルの辺のうち最も長い辺を方向Aに対して垂直に配置すると、方向Aに対して垂直な方向に延びるチャネル領域が、方向Cや方向Dに対して垂直な方向に伸びるチャネル層よりも長くなる。つまり、図9(b)に示すように

、チャネル領域において、方向Aに沿う電流を流すチャネル領域の幅W1が、その他の方向のチャネル領域の幅W2以上となるように素子を構成する。また、n型ソース領域15の最も長い辺も、オフカット方向Aに垂直な方向に配置している。

[0095] なお、本実施形態で述べた方法は、チャネル層としてデルタドープ層を有する場合だけでなく、チャネル層が通常のn型不純物層である場合にも適用できる。

[0096] また、本実施形態で述べた方法は縦型反転型MOSFET60にも適用できる。図10は、縦型反転型MOSFETの構造を示す断面図である。図10のうち図1と異なる点は、チャネル層14(図1に示す)が形成されていない点である。その他の構造は図1と同様であるので説明を省略する。

[0097] (第2の実施形態)

図11(a), (b)は、第2の実施形態において、炭化珪素層を用いた一般的な横型蓄積型MOSFETを示す断面図である。ここで、図11(a)は、MOSFETの電極の一部を上方から見た平面図であり、図11(b)は、図11(a)のVII-VII線における断面図である。

[0098] 図11(a), (b)に示すように、本実施形態の半導体装置は、半絶縁性の4H-SiC(0001)の半導体基板71を有している。半導体基板71は、<11-20>方向に約8度オフカットした表面を有している。半導体基板71の上には、4H-SiC(0001)のp型炭化珪素層72が設けられている。その厚さは約 $5\mu m$ であり、濃度 $5 \times 10^{15} cm^{-3}$ のアルミニウムがドープされている。

[0099] p型炭化珪素層72の上部のうちの中央部には、n型のチャネル層74が設けられている。ここでは、チャネル層74は、アンドープ層と、約 $5 \times 10^{17} cm^{-3}$ のn型不純物を含むドープ層とを交互に積層したデルタドープ層であるとする。チャネル層74の厚さは約 $0.2\mu m$ となる。

[0100] p型炭化珪素層72のうちチャネル層74の両側方に位置する領域には、ソース領域75sおよびドレイン領域75dが設けられている。ソース領域75sおよびドレイン領域75dは、例えば、窒素を約 $1 \times 10^{19} cm^{-3}$ の濃度で $0.3\mu m$ 程度の深さだけ注入した後に、約1700度の高温でアニールすることにより形成する。

[0101] 基本的には、ソース領域75sおよびドレイン領域75dは、p型ウェル領域の一部にn

型不純物を注入することにより形成され、MOSFET70は、いわゆる二重注入型のMOSFET(DIMOSFET)である。

- [0102] また、図11(a), (b)においては、ソース領域とドレイン領域がチャネル層を挟んだ構成となっており、p型ウェル領域を形成した上からチャネル層を堆積し、さらにチャネル層の上からn型不純物注入を行うことでソース領域とドレイン領域を形成するが、例えばp型ウェル領域とソース領域およびドレイン領域を形成した後にチャネル層を形成したような半導体素子であっても構わない。
- [0103] チャネル層74の上からソース領域75sおよびドレイン領域75dのうちの端部の上に亘って、厚さ約60nmのゲート絶縁膜76が設けられている。ゲート絶縁膜76は、チャネル層74、ソース領域75sおよびドレイン領域75dの上部を熱酸化した後に、V族元素を含む雰囲気下で熱処理することにより形成される。
- [0104] ゲート絶縁膜76の上には、アルミニウムからなるゲート電極77が設けられている。
- [0105] ソース領域75sの上にはニッケルからなるソース電極78が設けられ、ドレイン領域75dの上にはニッケルからなるドレイン電極79が設けられている。ソース電極78およびドレイン電極79は、ニッケル膜を形成した後に約1000度の温度で熱処理することにより形成する。この熱処理により、ソース領域75sとソース電極78およびドレイン領域75dとドレイン電極79とは、それぞれオーム接觸となる。
- [0106] p型炭化珪素層72のうちソース領域75sの外側方に位置する領域の上には、ベース電極7Cが設けられている。ベース電極7Cは、p型炭化珪素層72を外部と電気的に接続するために設けられている。ベース電極7Cとp型炭化珪素層72との間の電気抵抗を低減するために、p型炭化珪素層72のうち界面に位置する部分に、他の領域よりも高い濃度のアルミニウムをイオン注入してp⁺型のイオン注入領域を形成してもよい。また、ソース電極78とベース電極7Cとが、電気的に接合されていてもよいし、同一の導体膜からなっていてもよい。
- [0107] 本実施形態のMOSFET70をONの状態にするためには、ドレイン電極79にプラスの電圧を印加し、ソース電極78およびベース電極7Cを接地し、ゲート電極77にプラスの電圧を印加する。これにより、MOSFET70のスイッチング動作が可能となる。
- [0108] MOSFET70がONの状態になると、キャリアである電子は、図11(a), (b)に示す

ように、ソース領域75sからドレイン領域75dの方に向かって、基板面にほぼ平行に流れる。ここで、本実施形態では、オフカット方向Aに対して平行な方向に電子が流れる点が従来と異なる。以下に、本実施形態の半導体素子の配置について、図12を参照しながら説明する。図12は、図11(b)に示す半導体装置において、キャリアの移動する方向と素子の配置との関係を示す平面図である。図12では、ゲート電極77、ソース電極78およびドレイン電極79等の図示を省略し、p型炭化珪素層72、n型ソース領域75sおよびn型ドレイン領域75dのみを示している。チャネル層74の図示は省略しているが、チャネル層74は、p型炭化珪素層72のうち斜線を付して示す領域の上に位置している。図12に示すように、横型のMOSFETでは、キャリアが、ソース領域75sからドレイン領域75dの方に向かって流れる。この方向がオフカット方向Aとほぼ平行になるように素子を配置する。

[0109] 横型素子において流れる電流の方向は1方向である場合が多い。横型素子においても、電流方向が1方向だけない場合もあるが、その時は、基板のオフカット方向Aに平行な方向に流れる電流が支配的となるように素子を配置する。つまり、チャネル層74の幅のうち、方向Aに沿う電流を流すチャネル領域の幅W1が、チャネル層74の幅のうち他の方向の幅以上となるように素子を配置する。いいかえると、ソース領域75sとドレイン領域75dとの辺のうち互いに対向する辺(チャネル層74と接する辺)がオフカット方向Aと垂直になるように素子を配置する。

[0110] なお、本実施形態で述べた方法は、チャネル層としてデルタドープ層を有する場合だけでなく、チャネル層が通常のn型不純物層である場合にも適用できる。

[0111] また、本実施形態で述べた方法は横型反転型MOSFETにも適用できる。図13は、横型反転型MOSFETの構造を示す断面図である。図13のうち図11(b)と異なる点は、チャネル層74(図11(b)に示す)が形成されていない点である。その他の構造は図11(b)と同様であるので説明を省略する。

[0112] (その他の実施形態)

なお、上述の実施形態においては、半導体基板として4H-SiCから約8度オフカットされた表面を有する基板を用いた。しかしながら、本発明では、指定された結晶面Sから所定の方向Aに10度以下の角度だけ傾いた表面を具備した基板であれば、他

の基板を用いてもよい。

- [0113] また、本発明では、例えば、オフカットされたSi基板の上にヘテロエピタキシャル成長させた炭化珪素層を用いてもよい。
- [0114] また、上述の実施形態においては、4H-SiCの炭化珪素層を用いた。しかしながら、本発明では、結晶面の面内方向よりも、結晶面に対する垂直方向の方が電子移動度が大きいという性質を有している他のポリタイプの炭化珪素層を用いてもよい。
- [0115] ここで、結晶面の面内方向よりも結晶面に対する垂直方向の方が電子移動度が小さいという性質を有するポリタイプであっても、そのポリタイプのオフカット基板において、オフカット方向に垂直な方向よりもオフカット方向の方が電子移動度が大きくなる場合があれば、そのようなオフカット基板を用いてもかまわない。
- [0116] また、上述の実施形態では、4H-SiC(0001)基板を、<11-20>方向にオフカットした半導体基板を用いた。しかしながら、本発明では、半導体基板として、<11-20>方向、または<1-100>方向にオフカットした基板を用いてもよい。この場合に、半導体基板の上に炭化珪素層をエピタキシャル成長すると、炭化珪素層の上面は(0001)面から<11-20>方向、または<1-100>方向にオフカットした面となる。ただし、炭化珪素層の上面に所望の面が現れるのであれば、炭化珪素層の下に位置する半導体基板の面方位やオフカット方向は特に限定しない。すなわち、ソース領域のうち最も長い辺がオフカット方向に垂直な方向に沿っている構成を有していれば、上記以外のいかなるオフカット方向であってもかまわない。
- [0117] また、炭化珪素の(0001)面は、一般にはシリコン面を表している。しかし、本発明では、(0001)面の代わりに(000-1)面として表記されるカーボン面を用いても差し支えない。
- [0118] また、炭化珪素において、オフカット方向の電子移動度がその他の方向の電子移動度より大きくなる状態は、MOSFETのチャネル領域とゲート絶縁膜との界面において、炭化珪素の伝導体の準位より0.1eV小さい準位における界面準位密度が $5 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 以下である場合に実現できる。より好ましくは、上記の界面における界面準位密度は $1 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 以下とする。逆に、界面準位密度が $5 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ より大きい場合には、上記界面に発生するステップバンチングの影響を受けて、從

来の炭化珪素半導体素子のようにオフカット方向(ステップパンチング)に対して垂直な方向)の電子移動度はステップパンチングに対して平行な方向の電子移動度より小さくなる。

- [0119] また、上述の実施形態では、炭化珪素層とゲート絶縁膜との間の界面における界面準位密度を低減するために、ゲート絶縁膜を形成した後に酸化窒素(NO)を含む雰囲気下で熱処理を行った。しかし、本発明では、酸化窒素(NO)に限らず、V族元素を含む雰囲気で熱処理することにより、同様の効果を得ることができる。また、界面準位密度を低減できるのであれば、他の雰囲気で熱処理を行ってもよいし、他の処理方法を行ってもよい。
- [0120] また、上述の実施形態では、電極材料としてニッケルやアルミニウムを用いたが、本発明では、電極材料はそれらの材料に限定されるものではないし、電極を積層構造にしていてもかまわない。
- [0121] また、本発明の炭化珪素半導体素子の製造方法においては、実施の形態で示した製造方法以外の方法であってももちろんかまわないし、特に指定しない限り、説明に用いたプロセスの条件やガス種に制限されることはなく、他の条件であってももちろんかまわない。
- [0122] もちろん、本発明の炭化珪素半導体素子においては、発明の範囲内における基本構造が異ならない限りの種々の変形が可能である。

産業上の利用可能性

- [0123] 本発明の半導体素子は、ステップパンチングやその他の良好でない界面状態によって低下した炭化珪素層の電子移動度が改善されるため高い電気特性を得ることができる点で産業上の利用可能性は高い。

請求の範囲

- [1] 半導体基板と、
上記半導体基板の上に設けられ、結晶面から10度以下の角度だけオフカット方向に傾いた上面を有する炭化珪素層と、
上記炭化珪素層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極と、
上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたソース電極と、
上記半導体基板の下方に設けられたドレイン電極と、
上記炭化珪素層のうち少なくとも上記ソース電極の下に位置する領域に設けられたソース領域とを備え、
平面視して、上記ソース領域のうち最も長い辺は、上記オフカット方向に垂直な方向に沿っている、半導体素子。
- [2] 請求項1に記載の半導体素子であって、
上記炭化珪素層のうち上記ソース領域の側方および下方に設けられた第2導電型のウェル領域と、
上記ウェル領域と電気的に接続されるベース電極とをさらに備える、半導体素子。
- [3] 請求項1に記載の半導体素子であって、
上記オフカット方向に垂直な方向に沿った方向とは、上記オフカット方向に垂直な方向からの傾きが5度以内の方向である、半導体素子。
- [4] 請求項1に記載の半導体素子であって、
上記炭化珪素層のうち上記ゲート絶縁膜の下に位置する領域にチャネル層が設けられている、半導体素子。
- [5] 請求項4に記載の半導体素子であって、
上記チャネル領域には、少なくとも1層の第1炭化珪素層と、第1炭化珪素層よりも第1導電型の不純物濃度が高くかつ第1炭化珪素層の膜厚よりも薄い、少なくとも1層の第2炭化珪素層とを有する積層構造が設けられている、半導体素子。
- [6] 請求項1に記載の半導体素子であって、
上記炭化珪素層では、結晶面の面内方向における電子移動度よりも、上記結晶面

に対する垂直方向における電子移動度の方が大きい、半導体素子。

- [7] 請求項1に記載の半導体素子であって、
上記炭化珪素層は、4H-SiCである、半導体素子。
- [8] 請求項1に記載の半導体素子であって、
上記炭化珪素層の上面は、(0001)面から<11-20>方向に傾いた面である、半導体素子。
- [9] 請求項1に記載の半導体素子であって、
上記炭化珪素層の上面は、(0001)面から<1-100>方向に傾いた面である、半導体素子。
- [10] 請求項1に記載の半導体素子であって、
上記ゲート絶縁膜は、上記炭化珪素層の上部を熱酸化した後に、V族元素を含む化合物を含む雰囲気で熱処理することにより形成された、半導体素子。
- [11] 請求項10に記載の半導体素子であって
上記V族元素を含む化合物は、酸化窒素である、半導体素子。
- [12] 請求項10に記載の半導体素子であって、
上記炭化珪素層と上記ゲート絶縁膜との界面において、窒素濃度の最大値が $1 \times 10^{20} \text{ cm}^{-3}$ 以上で $1 \times 10^{22} \text{ cm}^{-3}$ 以下である、半導体素子。
- [13] 請求項1に記載の半導体素子であって、
上記ソース電極は、上記ベース電極と同一の膜で設けられている、半導体素子。
- [14] 請求項1に記載の半導体素子であって、
上記ゲート電極は、平面視して多角形がくり抜かれた形状で設けられ、
上記多角形におけるくり抜かれた部分の辺のうち最も長い辺は、上記オフカット方向に垂直な方向に沿っている、半導体素子。
- [15] 請求項14に記載の半導体素子であって、
平面視して、上記ソース電極は多角形の形状で配置し、上記ゲート電極は上記ソース電極と離間して、かつ上記ソース電極の側方を囲む形状で配置している、半導体素子。
- [16] 請求項1に記載の半導体素子であって、

上記ゲート電極は、平面視して多角形の形状で設けられ、
上記多角形の辺のうち最も長い辺は、上記オフカット方向に垂直な方向に沿ってい
る、半導体素子。

- [17] 請求項16に記載の半導体素子であって、
平面視して、上記ソース電極は、ストライプ状に並ぶ複数の第1矩形部と、上記複
数の第1矩形部の端部を接続する第1接続部とを有する櫛形に配置し、上記ゲート
電極は、上記複数の第1矩形部のそれぞれと交互に配置するストライプ状の複数の
第2矩形部と、上記第2矩形部の端部を接続する第2接続部とを有する櫛形に配置し
ている、半導体素子。
- [18] 半導体基板と、
上記半導体基板の上に設けられ、結晶面から10度以下の角度だけオフカット方向
に傾いた上面を有する炭化珪素層と、
上記炭化珪素層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設け
られたゲート電極と、
上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたソース電極と、
上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたドレイン電極と、
上記炭化珪素層のうち少なくとも上記ソース電極および上記ドレイン電極の下に位
置する領域に互いに離間して設けられたソース・ドレイン領域とを備え、
平面視して、上記ソース・ドレイン領域の辺のうち互いに対向する辺は、上記オフカ
ット方向に垂直な方向に沿っている、半導体素子。
- [19] 請求項18に記載の半導体素子であって、
上記炭化珪素層内に設けられ、第1導電型の不純物を含むベース領域と、
上記ベース領域と電気的に接続されるベース電極とをさらに備える、半導体素子。
- [20] 請求項18に記載の半導体素子であって、
上記ゲート電極は多角形の形状で設けられ、
上記多角形の辺のうち最も長い辺は、上記オフカット方向に垂直な方向に沿ってい
る、半導体素子。
- [21] 請求項18に記載の半導体素子であって、

上記オフカット方向に垂直な方向に沿った方向とは、上記オフカット方向に垂直な方向からの傾きが5度以内の方向である、半導体素子。

- [22] 請求項18に記載の半導体素子であって、
上記炭化珪素層のうち上記ゲート絶縁膜の下に位置する領域にチャネル層が設けられている、半導体素子。
- [23] 請求項22に記載の半導体素子であって、
上記チャネル領域には、少なくとも1層の第1炭化珪素層と、第1炭化珪素層よりも第1導電型の不純物濃度が高くかつ第1炭化珪素層の膜厚よりも薄い、少なくとも1層の第2炭化珪素層とを有する積層構造が設けられている、半導体素子。
- [24] 請求項18に記載の半導体素子であって、
上記炭化珪素層では、結晶面の面内方向における電子移動度よりも、上記結晶面に対する垂直方向における電子移動度の方が大きい、半導体素子。
- [25] 請求項18に記載の半導体素子であって、
上記炭化珪素層は、4H-SiCである、半導体素子。
- [26] 請求項18に記載の半導体素子であって、
上記炭化珪素層の上面は、(0001)面から<11-20>方向に傾いた面である、半導体素子。
- [27] 請求項18に記載の半導体素子であって、
上記炭化珪素層の上面は、(0001)面から<1-100>方向に傾いた面である、半導体素子。
- [28] 請求項18に記載の半導体素子であって、
上記ゲート絶縁膜は、上記炭化珪素層の上部を熱酸化した後に、V族元素を含む化合物を含む雰囲気で熱処理することにより形成された、半導体素子。
- [29] 請求項28に記載の半導体素子であって、
上記V族元素を含む化合物は、酸化窒素である、半導体素子。
- [30] 請求項28に記載の半導体素子であって、
上記炭化珪素層と上記ゲート絶縁膜との界面において、窒素濃度の最大値が1×

10^{20}cm^{-3} 以上で $1 \times 10^{22}\text{cm}^{-3}$ 以下である、半導体素子。

- [31] 請求項18に記載の半導体素子であって、
上記ソース電極は、上記ベース電極と同一の膜で設けられている、半導体素子。

補正書の請求の範囲

[2005年4月28日 (28. 04. 05) 国際事務局受理 : 出願当初の請求の範囲
1及び18は補正された ; 他の請求の範囲は変更なし。 (4頁)]

請求の範囲

[1] (補正後)

半導体基板と、

上記半導体基板の上に設けられ、結晶面から10度以下の角度だけオフカット方向に傾いた上面を有する炭化珪素層と、

上記炭化珪素層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極と、

上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたソース電極と、

上記半導体基板の下方に設けられたドレイン電極と、

上記炭化珪素層のうち少なくとも上記ソース電極の下に位置する領域に設けられたソース領域とを備え、

平面視して、上記ソース領域のうち最も長い辺は、上記オフカット方向に垂直な方向に沿っており、上記炭化珪素層と上記ゲート絶縁膜との界面においてV族元素を含む、半導体素子。

[2] 請求項1に記載の半導体素子であって、

上記炭化珪素層のうち上記ソース領域の側方および下方に設けられた第2導電型のウェル領域と、

上記ウェル領域と電気的に接続されるベース電極とをさらに備える、半導体素子。

[3] 請求項1に記載の半導体素子であって、

上記オフカット方向に垂直な方向に沿った方向とは、上記オフカット方向に垂直な方向からの傾きが5度以内の方向である、半導体素子。

[4] 請求項1に記載の半導体素子であって、

上記炭化珪素層のうち上記ゲート絶縁膜の下に位置する領域にチャネル層が設けられている、半導体素子。

[5] 請求項4に記載の半導体素子であって、

上記チャネル領域には、少なくとも1層の第1炭化珪素層と、第1炭化珪素層よりも第1導電型の不純物濃度が高くかつ第1炭化珪素層の膜厚よりも薄い、少なくとも1層の第2炭化珪素層とを有する積層構造が設けられている、半導体素子。

補正された用紙 (条約第 19 条)

- [6] 請求項1に記載の半導体素子であって、
上記炭化珪素層では、結晶面の面内方向における電子移動度よりも、上記結晶面

上記ゲート電極は、平面視して多角形の形状で設けられ、
上記多角形の辺のうち最も長い辺は、上記オフカット方向に垂直な方向に沿ってい
る、半導体素子。

[17] 請求項16に記載の半導体素子であって、

平面視して、上記ソース電極は、ストライプ状に並ぶ複数の第1矩形部と、上記複
数の第1矩形部の端部を接続する第1接続部とを有する樹形に配置し、上記ゲート
電極は、上記複数の第1矩形部のそれぞれと交互に配置するストライプ状の複数の
第2矩形部と、上記第2矩形部の端部を接続する第2接続部とを有する樹形に配置し
ている、半導体素子。

[18] (補正後)

半導体基板と、

上記半導体基板の上に設けられ、結晶面から10度以下の角度だけオフカット方向
に傾いた上面を有する炭化珪素層と、

上記炭化珪素層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設け
られたゲート電極と、

上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたソース電極と、

上記炭化珪素層の上のうち上記ゲート電極の側方に設けられたドレイン電極と、

上記炭化珪素層のうち少なくとも上記ソース電極および上記ドレイン電極の下に位
置する領域に互いに離間して設けられたソース・ドレイン領域とを備え、

平面視して、上記ソース・ドレイン領域の辺のうち互いに対向する辺は、上記オフカ
ット方向に垂直な方向に沿っており、上記炭化珪素層と上記ゲート絶縁膜との界面
においてV族元素を含む、半導体素子。

[19] 請求項18に記載の半導体素子であって、

上記炭化珪素層内に設けられ、第1導電型の不純物を含むベース領域と、

上記ベース領域と電気的に接続されるベース電極とをさらに備える、半導体素子。

[20] 請求項18に記載の半導体素子であって、

上記ゲート電極は多角形の形状で設けられ、

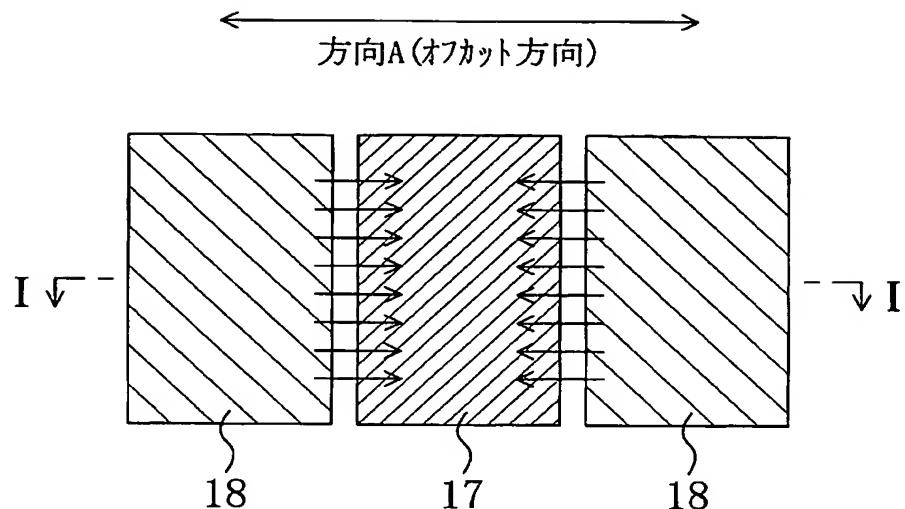
上記多角形の辺のうち最も長い辺は、上記オフカット方向に垂直な方向に沿ってい

る、半導体素子。

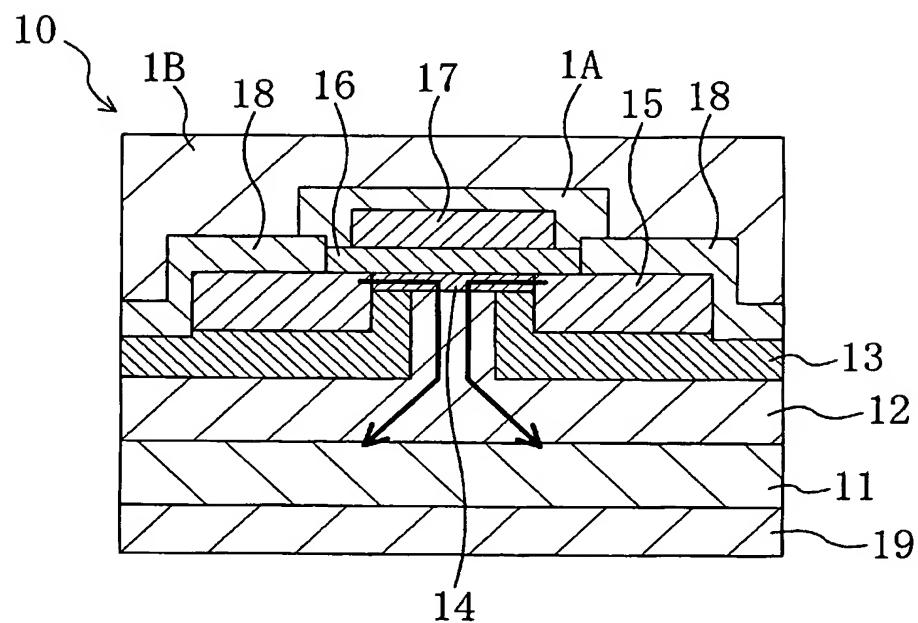
[21] 請求項18に記載の半導体素子であつて、

[図1]

(a)



(b)

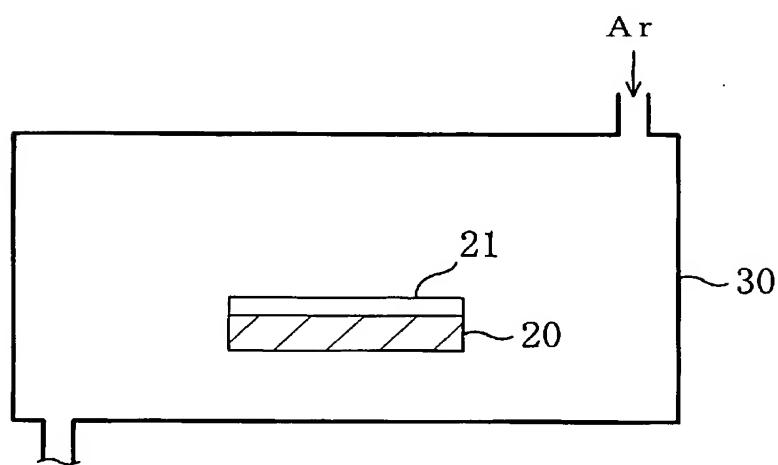


[図2]

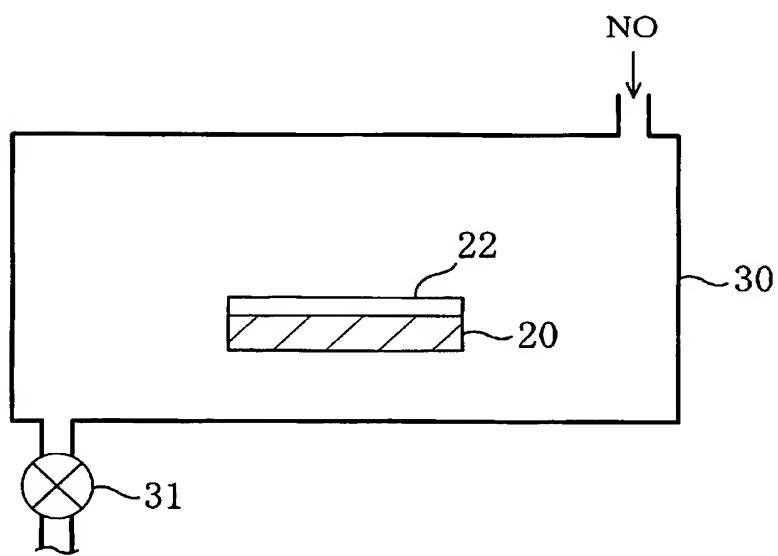
(a)



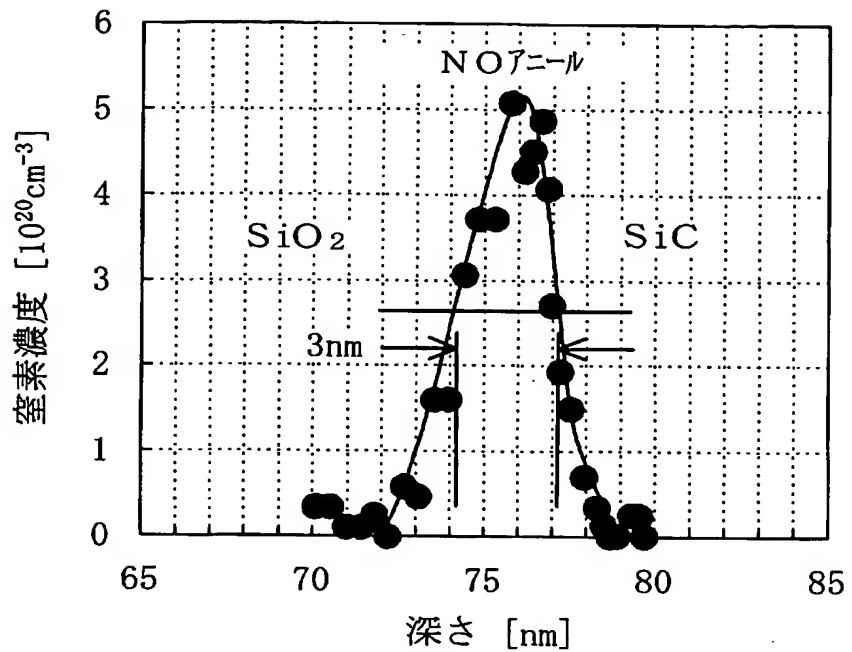
(b)



(c)

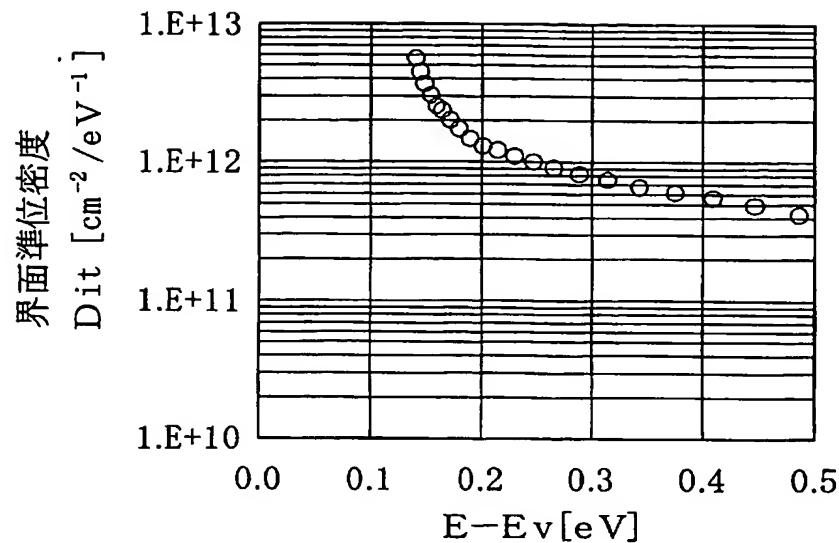


[図3]

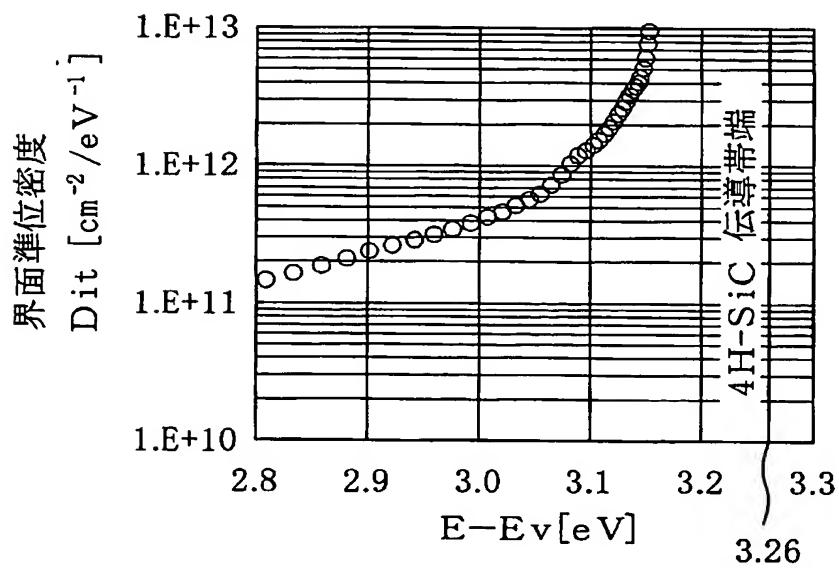


[図4]

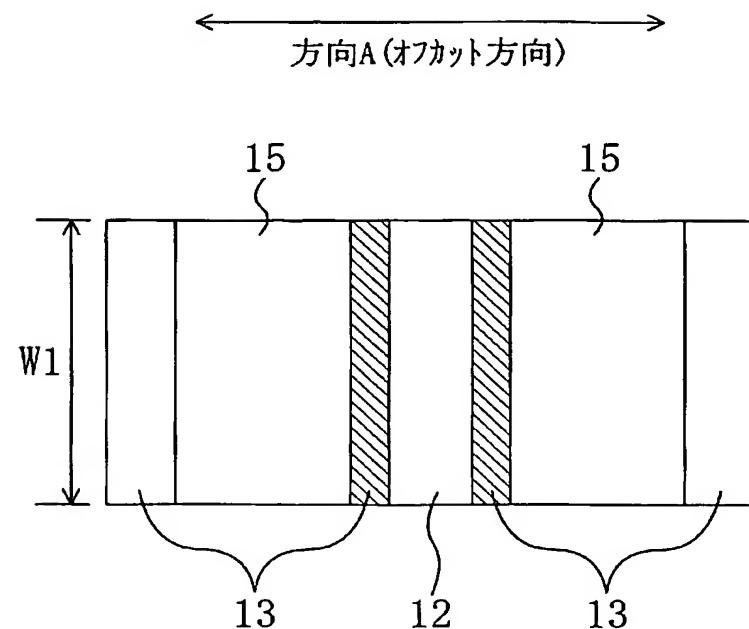
(a)



(b)

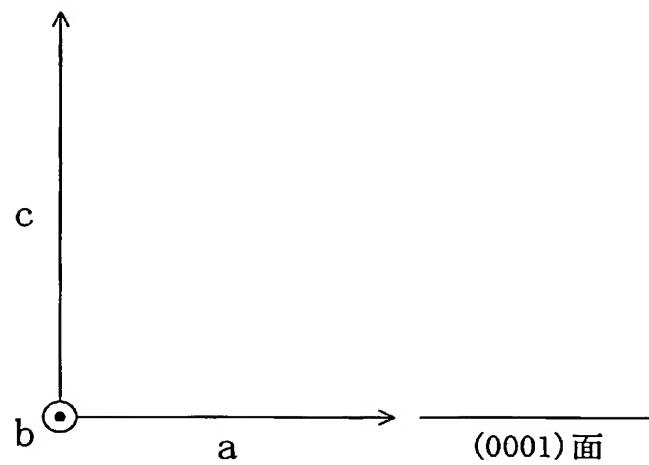


[図5]

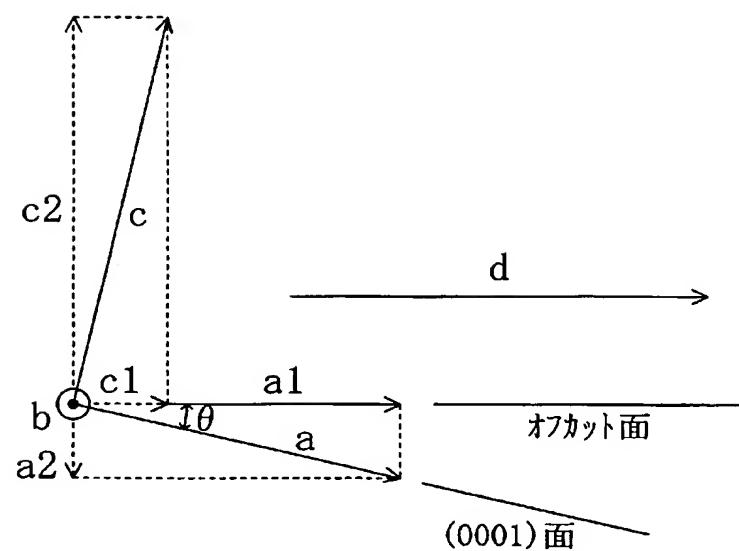


[図6]

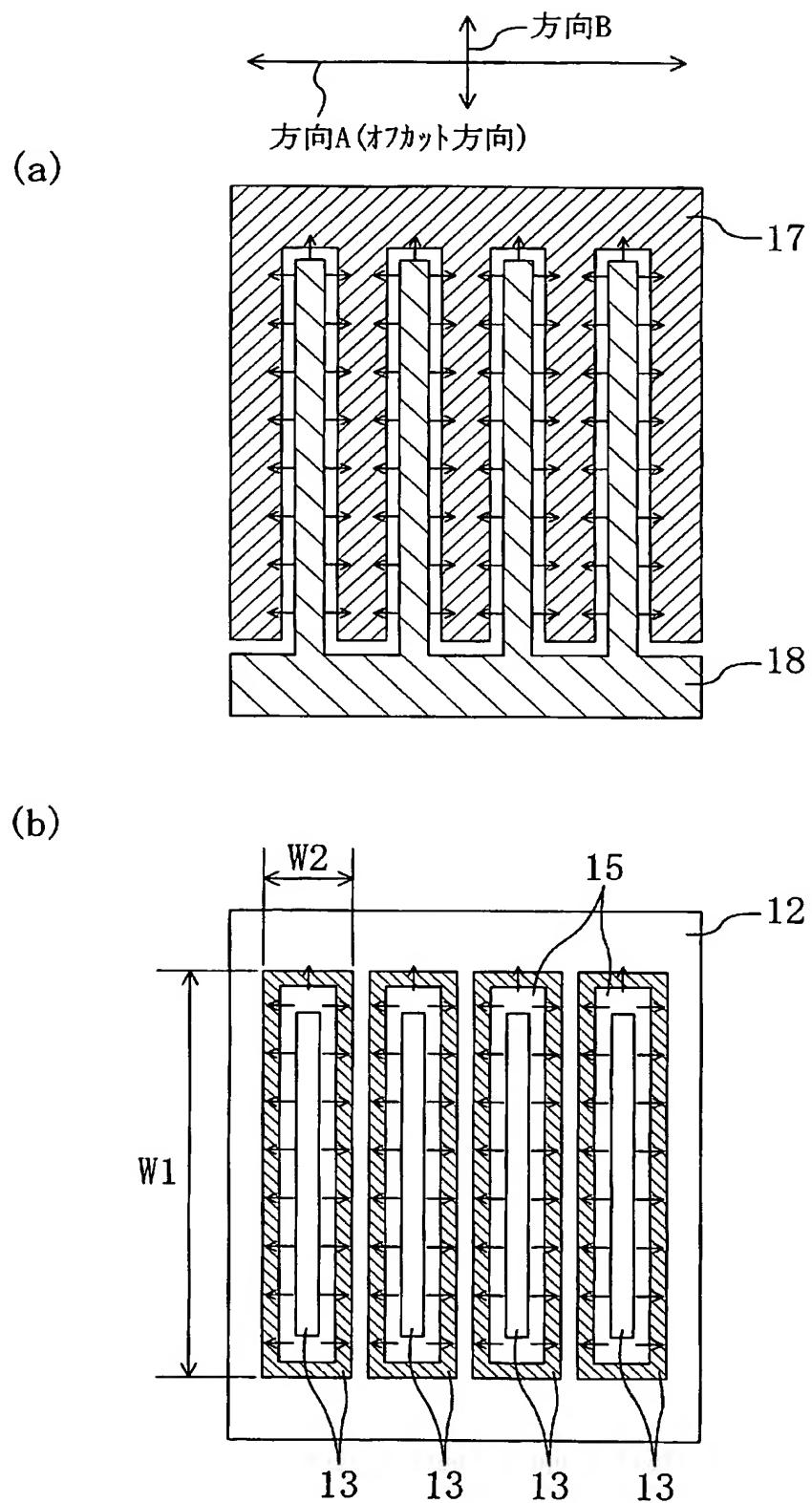
(a)



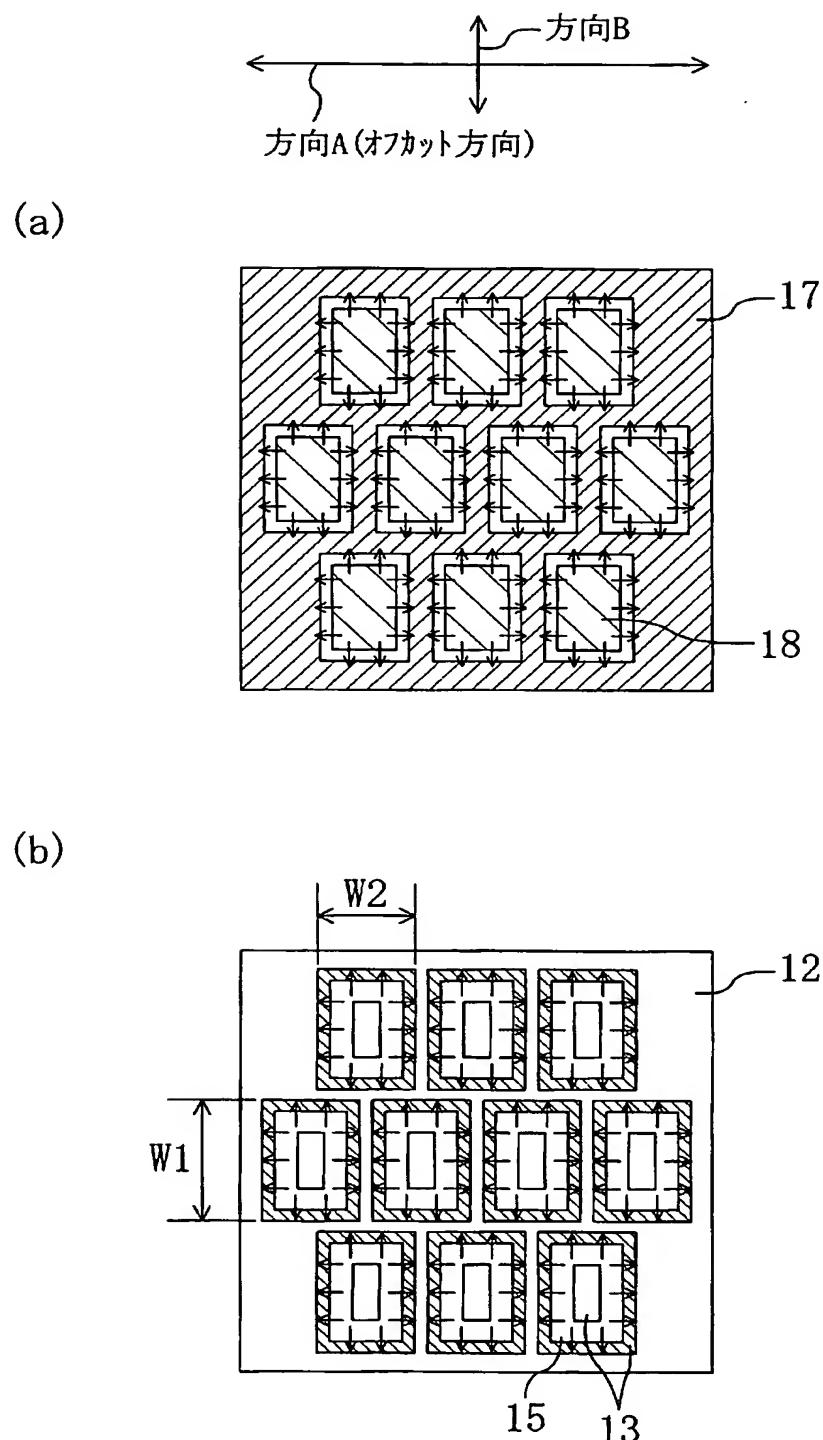
(b)



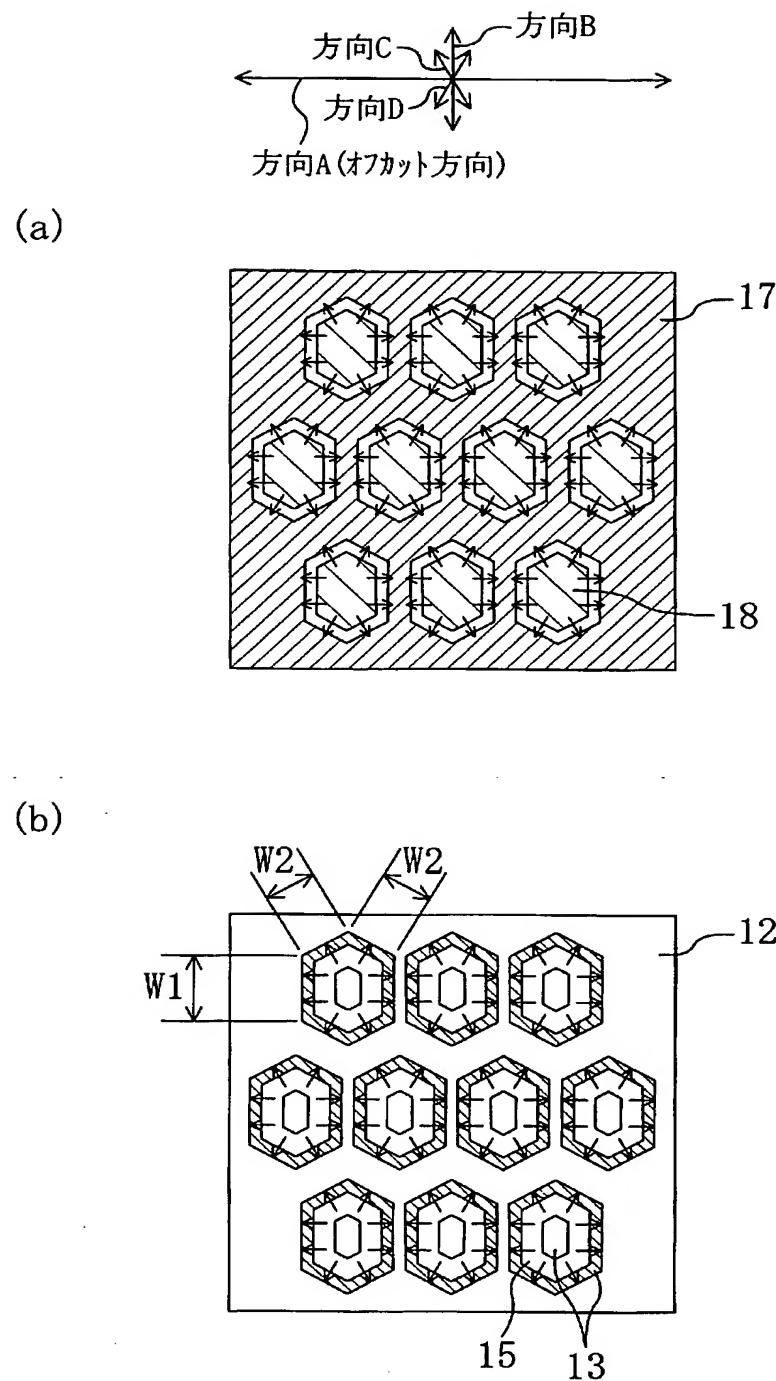
[図7]



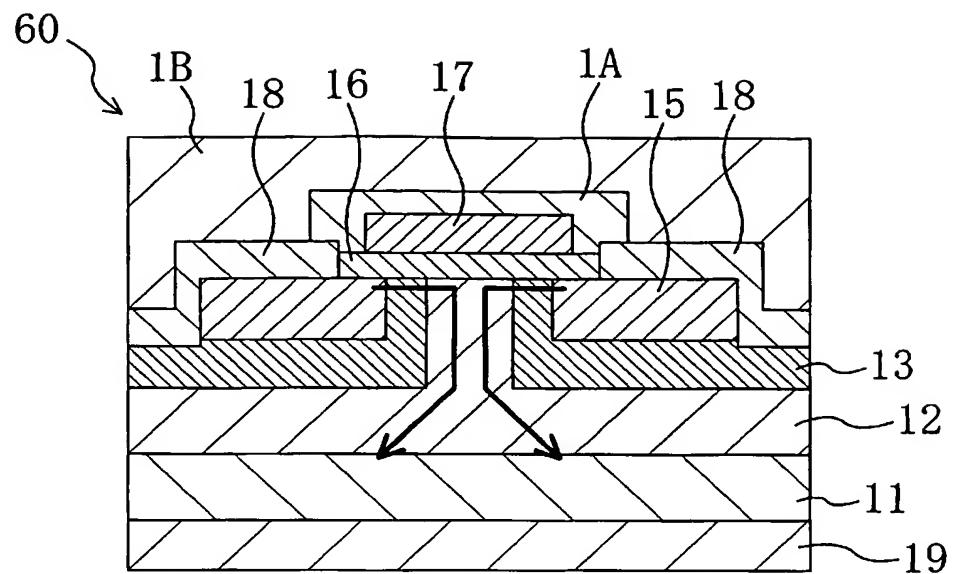
[図8]



[図9]

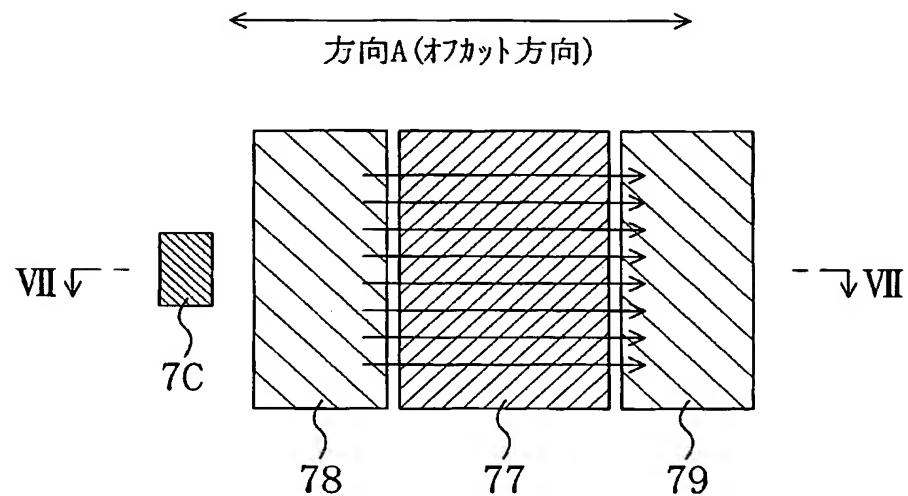


[図10]

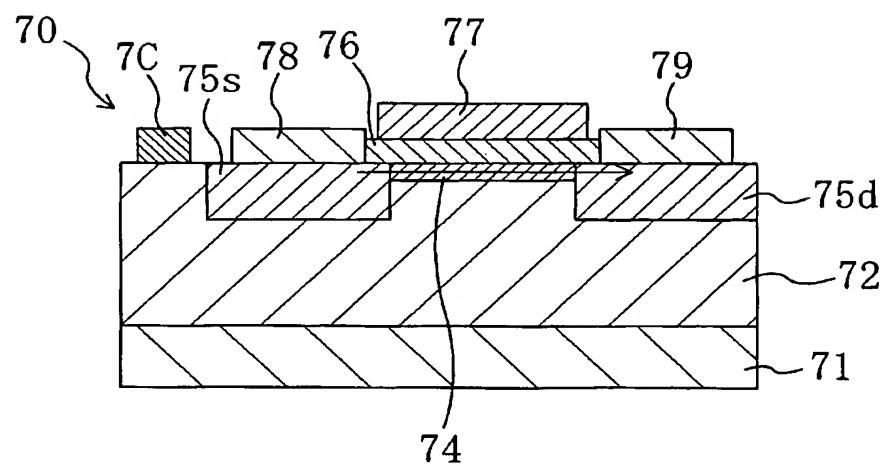


[図11]

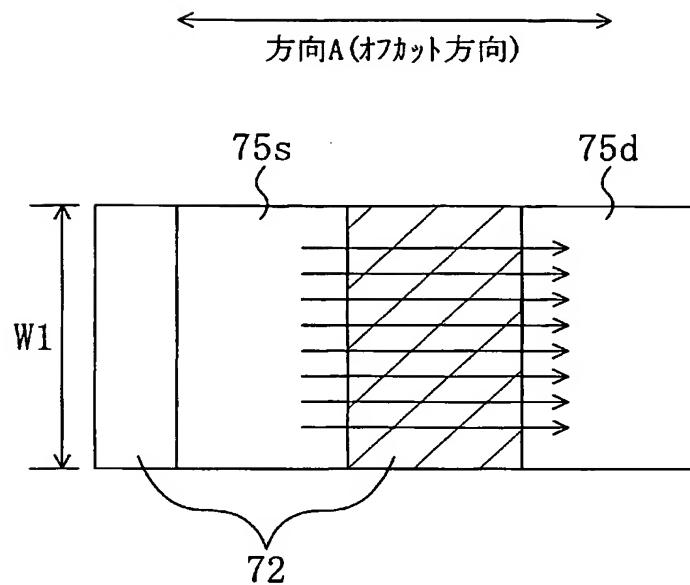
(a)



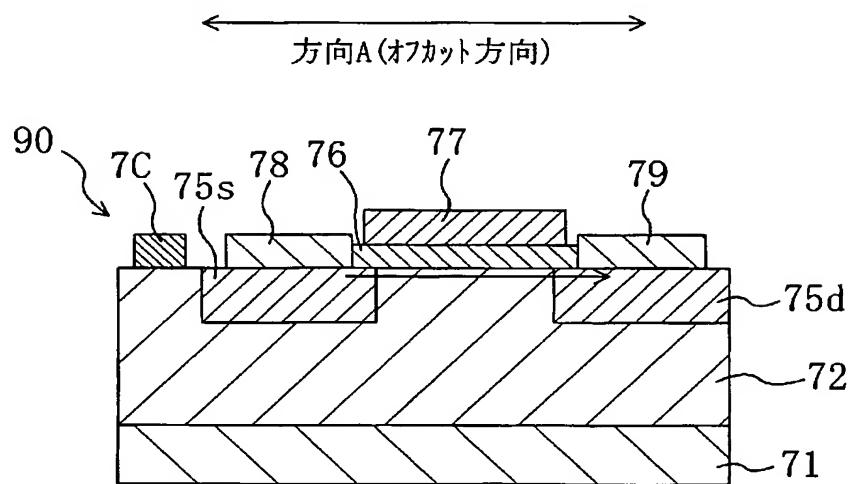
(b)



[図12]

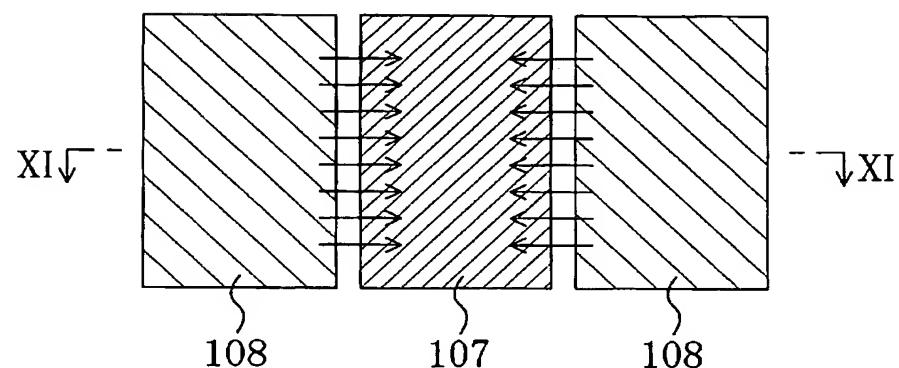
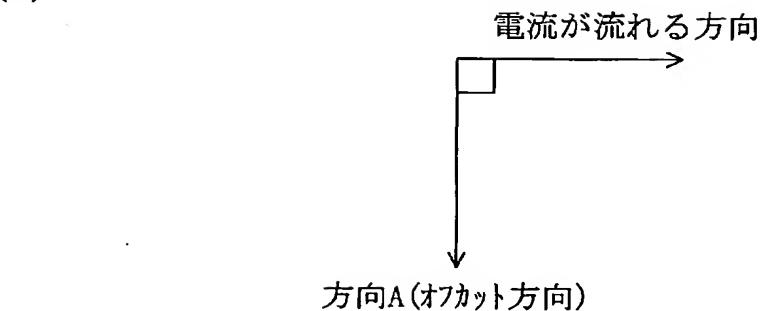


[図13]

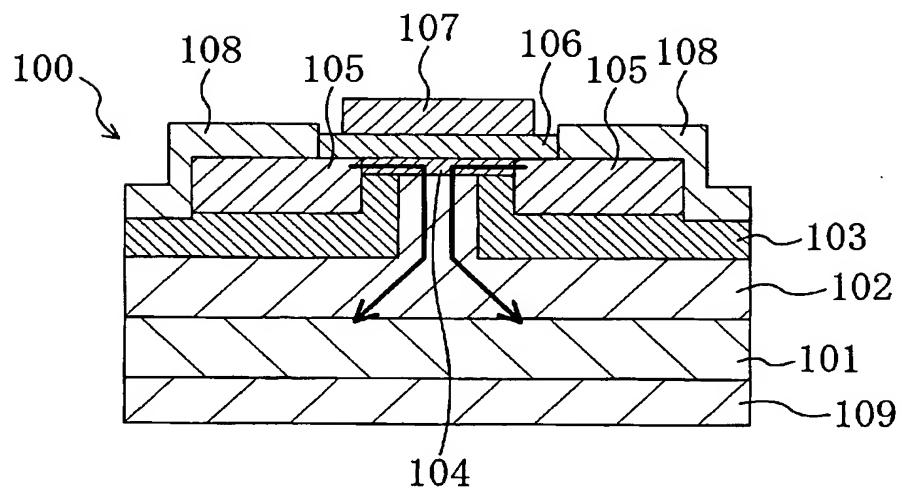


[図14]

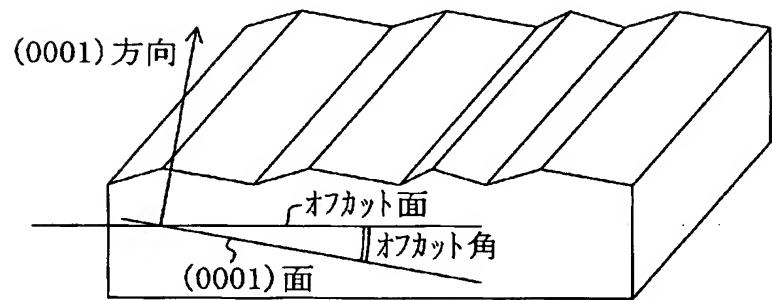
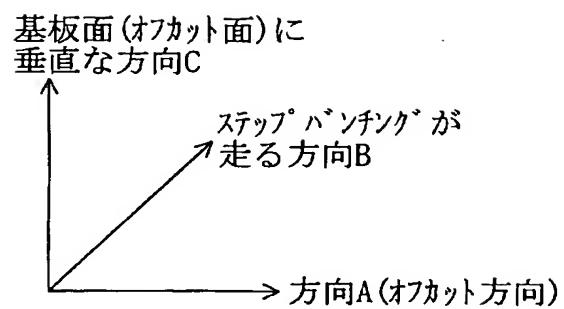
(a)



(b)



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017425

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/78, H01L21/336

| |
|---|
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched |
| Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005 |
| Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
IEE Online

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|--------------------------------------|
| X | JP 2003-234301 A (Matsushita Electric Industrial Co., Ltd.), 22 August, 2003 (22.08.03), Full text; Figs. 1 to 21 & EP 1306890 A2 & US 2003/0080384 A1 & KR 2003-0034027 A & CN 1414605 A | 1-8 9-31 |
| X | JP 2003-209251 A (Japan Atomic Energy Research Institute), 25 July, 2003 (25.07.03), Full text; Figs. 1 to 3 (Family: none) | 1-3, 6-9, 13 4-5, 10-12, 14-31 |
| | | |
| | | |

Further documents are listed in the continuation of Box C.

See patent family annex.

| | |
|--|--|
| * Special categories of cited documents: | |
| "A" | document defining the general state of the art which is not considered to be of particular relevance |
| "B" | earlier application or patent but published on or after the international filing date |
| "L" | document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) |
| "O" | document referring to an oral disclosure, use, exhibition or other means |
| "P" | document published prior to the international filing date but later than the priority date claimed |
| "T" | later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "X" | document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "Y" | document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "&" | document member of the same patent family |

Date of the actual completion of the international search
10 February, 2005 (10.02.05)

Date of mailing of the international search report
01 March, 2005 (01.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017425

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|--|
| X | JP 10-321854 A (Toshiba Corp.), 04 December, 1998 (04.12.98), Full text; Figs. 1 to 24 & US 5977564 A & US 6246077 B1 | 18, 20-21, 24-26 1-17, 19, 22-23, 27-31 |
| X | JP 2000-294777 A (Mitsubishi Electric Corp.), 20 October, 2000 (20.10.00), Full text; Figs. 1 to 4 (Family: none) | 18, 20-21, 24-25 1-17, 19, 22-23, 26-31 |
| Y | JP 2001-517375 A (Siemens AG.), 02 October, 2001 (02.10.01), Full text; Figs. 1 to 8 & WO 98/43299 A2 & EP 970524 A2 & US 6097039 A & DE 19712561 C1 | 1-31 |
| Y | JP 2001-144288 A (Denso Corp.), 25 May, 2001 (25.05.01), Full text; Figs. 1 to 10 (Family: none) | 1-31 |
| Y | JP 2002-280381 A (Fuji Electric Co., Ltd.), 27 September, 2002 (27.09.02), Full text; Figs. 1 to 2 (Family: none) | 1-31 |
| Y | G.Y.Chung et al., 'Improved Invention Channel Mobility for 4H-SiC MOSFETs Following High Temperature Anneals in Nitric Oxide', IEEE Electron Device Letters, April 2001, Vol.22, No.4, pages 176 to 178 | 1-31 |

A: 発明の属する分野の分類(国際特許分類(IPC))

Int Cl' H01L29/78

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int Cl' H01L29/78, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年, 日本国公開実用新案公報 1971-2005年
 日本国登録実用新案公報 1994-2005年, 日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

IEE Online

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|--|----------------------|
| X | J P 2003-234301 A (松下電器産業株式会社), 2003. 08. 22, 全文及び図1-21 | 1-8 |
| Y | & EP 1306890 A2 & US 2003/0080384 A1 & KR 2003-0034027 A & CN 1414605 A | 9-31 |
| X | J P 2003-209251 A (日本原子力研究所), 2003. 07. 25, 全文及び図1-3 (ファミリーなし) | 1-3, 6-9, 13 |
| Y | | 4-5, 10-12, 14-31 |

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

10.02.2005

国際調査報告の発送日

01.3.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

安田 雅彦

4 L 9447

電話番号 03-3581-1101 内線 3498

| C(続き) | 関連すると認められる文献 | |
|-----------------|--|---------------------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| X | JP 10-321854 A (株式会社東芝) , 1998. 12. 04, 全文及び図1-24 | 18, 20-21, 24-26 |
| Y | & US 5977564 A & US 6246077 B1 | 1-17, 19, 22-23, 27-31 |
| X | JP 2000-294777 A (三菱電機株式会社) , 2000. 10. 20, 全文及び図1-4 | 18, 20-21, 24-25 |
| Y | (ファミリーなし) | 1-17, 19, 22-23, 26-31 |
| Y | JP 2001-517375 A (シーメンス アクチングゼルシャフト) , 2001. 10. 02, 全文及び図1-8 & WO 98/43299 A2 & EP 970524 A2 & US 6097039 A & DE 19712561 C1 | 1-31 |
| Y | JP 2001-144288 A (株式会社デンソー) , 2001. 05. 25, 全文及び図1-10 (ファミリーなし) | 1-31 |
| Y | JP 2002-280381 A (富士電機株式会社) , 2002. 09. 27, 全文及び図1-2 (ファミリーなし) | 1-31 |
| Y | G.Y.Chung et al. 'Improved Invention Channel Mobility for 4H-SiC MOSFETs Following High Temperature Anneals in Nitric Oxide', IEEE Electron Device Letters, April 2001, Vol. 22, No. 4, p. 176-178 | 1-31 |